

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—130608

⑬ Int. Cl.<sup>3</sup>  
H 03 F 3/38

識別記号

庁内整理番号  
6832—5 J

⑭ 公開 昭和58年(1983)8月4日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑮ チョツパ増幅回路

⑯ 特 願 昭57—11676

⑰ 出 願 昭57(1982)1月29日

⑱ 発 明 者 大西誠

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 新名慎一

小平市上水本町1479番地日立マ  
イクロコンピュータエンジニア  
リング株式会社内

⑳ 発 明 者 三友勇

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

㉑ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉒ 出 願 人 日立マイクロコンピュータエン  
ジニアリング株式会社

小平市上水本町1479番地

㉓ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 チョツパ増幅回路

特許請求の範囲

1. アナログ信号源と、入出力端子間に帯電コンデンサを有する演算増幅器と、上記アナログ信号源と上記演算増幅器を結合し、コンデンサ及び上記コンデンサを充電するため一定周期で開閉するスイッチで構成された入力回路と、上記演算増幅器の出力をとり出すスイッチとコンデンサで構成された出力回路とからなる増幅回路において、上記入力回路が、上記入力回路のコンデンサに上記アナログ信号を一定周期で交互に極性を反転して充電し、かつ上記充電された電荷を上記演算増幅器の帯電コンデンサを介して放電するスイッチを有して構成され、上記出力回路のコンデンサ及びスイッチが上記入力回路における交互に極性を反転して加えられた信号を同極性で出力されるように構成されたことを特徴とするチョツパ増幅回路。

2. 第1項において、上記入力回路が第1及び第

2入力端子と入力コンデンサと上記第1入力端子と上記入力コンデンサの第1端子とを接続する第1スイッチと、上記第1入力端子と上記入力コンデンサの第2端子とを接続する第2スイッチと、上記第2入力端子と上記入力コンデンサの第1端子とを接続する第3スイッチと、上記第2入力端子と上記入力コンデンサの第2端子とを接続する第4スイッチと、上記入力コンデンサの第1端子と演算増幅器の負極性入力端子とを接続する第5スイッチと、上記入力コンデンサの第2端子を地気に接続する第6スイッチ、及び上記各スイッチの開閉を第1期間に上記第1及び第4のスイッチのみを閉じ、第2期間に上記第5及び第6のスイッチのみを閉じ、第3期間に上記第2及び第3のスイッチのみを閉じ、第4期間に上記第5及び第6のスイッチのみ閉じ、上記第1ないし第4期間を周期的にくり返すスイッチ駆動信号源を具備して構成されたチョツパ増幅回路。

3. 第2項記載において、上記入力回路の第2入

力端子及びコンデンサの第2端子が接地され、第4のスイッチが除去されたことを特徴とするチョップ増幅回路。

4. 第1、第2、または第3項記載において、上記出力回路は上記演算増幅器の出力端子に第1出力コンデンサの第1端子が接続され、上記第1出力コンデンサの第2端子と地気との間に接続され、かつ上記第2期間に閉じる第7スイッチと、上記第1出力コンデンサの第2端子と第2端子が接地された第2出力コンデンサの第1端子との間に接続され、かつ上記第4期間に閉じる第8スイッチと、上記第2出力コンデンサの第1端子より出力を取り出す出力端子とを具備して構成されたことを特徴とするチョップ増幅回路。

5. 第1、第2、または第3項記載において、上記出力回路は上記演算増幅器の出力端子と第3出力コンデンサの第1端子との間に接続され、上記第2期間のみ閉じられる第9スイッチと、上記演算増幅器の出力端子と第4出力コンデン

サの第1端子との間に接続され、上記第4期間のみ閉じられる第10スイッチと、上記第3出力コンデンサの第2端子と前記第4出力コンデンサの第2端子との間に接続され、第1及び第2期間のみ閉じられる第11スイッチ、上記第3出力コンデンサの第2端子と上記第4出力コンデンサの第2端子との間に接続され、上記第1期間のみ閉じられる第12スイッチと、かつ、上記第4出力コンデンサの第2端子を接地し、上記第3出力コンデンサの第2端子と出力回路の出力端子間に接続され、上記第1及び第3期間のみ閉じられる第14スイッチとを具備して構成されたことを特徴とするチョップ増幅回路。

#### 発明の詳細な説明

本発明はチョップ増幅回路、特にCMOS技術を使用したスイッチドキャパシタ及び演算増幅器を組合せて構成されるチョップ増幅回路に係る。

CMOSIC技術の発達によつてアナログ領域にも、CMOSLSIが応用されて来た。特にスイッチとコンデンサを組合せた、いわゆるスイッチド

キャパシタ(SWITCHED CAPACITOR)技術はアナログCMOSLSIの応用範囲を拡大した。

スイッチドキャパシタ技術を使用した、スイッチドキャパシタ回路は、入力信号源と演算増幅器の入力端の間に一定の周期で充電、放電を行なうためのスイッチドキャパシタと上記演算増幅器の入出力間に接続された帰還スイッチドキャパシタとで構成される。このようなスイッチドキャパシタ回路をCMOSで作る場合、演算増幅器はオフセットがバイポーラで構成した場合より大きく、特に、微弱な入力信号を扱う場合、オフセットの影響の割合が大きく問題となる。又、 $1/f$ 雑音も大きく、低周波信号を扱う場合も問題となる。

従来、これらの演算増幅器のオフセットの影響を除く技術として、チョップ増幅回路が知られている。

チョップ増幅回路は、信号電圧を高周波パルスで高速に極性反転しながら増幅し、出力において極性を再び反転してもとの信号を得るもので、信

号はチョッピング周波数で変調されて高域に移され、出力でもとの周波数に復調されるので増幅器から発生する直流オフセットや低周波雑音の影響を取り除くことができる。

CMOSLSI技術でもスイッチ、増幅器は容易に実現できるので、これらを用いてチョップ増幅器をCMOSLSI技術で作ることができ、近年では、P. R. Gray等の報告もある。(参考文献; P. R. Gray et al "Some Practical Aspects of Switched Capacitor Filter Design" ISCAS81 P. P419 ~ 422)

しかしながら、上記従来のチョップ増幅器は演算増幅器自体のオフセットはCMOSLSIで構成されるスイッチドキャパシタ回路では、演算増幅器に上述のようなチョップ増幅器を使用しても、オフセットの補償のための十分な対策とならない。スイッチドキャパシタ回路では増幅度を決定したり、フィルタ等を構成する場合、演算増幅器の入力側にコンデンサとスイッチを組合せたスイッチ

ドキャパシタが設けられるが、上記スイッチやMOSトランジスタから発生するリーク電流が、上記コンデンサに充電され、信号の中に含まれるため、チョップ機能を持つ増幅器を使用しても、増幅器自体のオフセットを除去し得ても、上記スイッチドキャパシタに生ずるオフセットまでも除くことはできない。

したがって、本発明の目的はスイッチドキャパシタと増幅器とを組合せたスイッチドキャパシタ回路のオフセット、 $1/f$ 雑音を小さくするチョップ増幅回路を実現することである。

本発明は上記目的を達成するため、入力信号源と増幅器がスイッチドキャパシタを含む入力回路を介して結合される増幅回路において、上記スイッチドキャパシタと上記信号源との間に一定周期で上記スイッチドキャパシタに加える信号の極性を反転するスイッチ回路を設け、かつ増幅器の出力側に設けられるスイッチドキャパシタを含む出力回路のスイッチが上記スイッチ回路の駆動信号に対応して駆動されるように構成したものである。

サが並列に接続されている。ある期間はスイッチSWA及びSWCがオンし、スイッチSWBがオフとなり、コンデンサ1に入力アナログ信号の $V_{in}$ を充電し、コンデンサ2の電荷を放電する。次の期間にスイッチSWA及びSWCをオフし、スイッチSWBをオンし、コンデンサ1の電荷をコンデンサ2に移す。この動作をくり返す。

アナログ信号源からの入力電圧を $V_{in}$ 、出力電圧を $V_{out}$ 、コンデンサ1、2の容量値をそれぞれ $C_1$ 、 $C_2$ とすると、演算増幅器の反転入力端子Aの電位は仮想接地点となるため、コンデンサ1に流れ込んだ電流はすべてコンデンサ2に流れ込むので、コンデンサ1、2に蓄積される電荷は、

$$Q = C_1 \cdot V_{in} = C_2 \cdot V_{out}$$

となるので、増幅回路の出力電圧 $V_{out}$ は

$$V_{out} = \frac{C_1}{C_2} \cdot V_{in} \quad \dots(1)$$

となり、コンデンサの比で増幅度が決まる。

このような回路において、演算増幅器のオフセットに対しては、上述の如く、演算増幅器の入部

上記構成によれば、詳しくは後述する如く、スイッチ回路のリーク電流に基づくオフセットや $1/f$ 雑音が除去される。又、スイッチドキャパシタに必要とされるスイッチの駆動とチョップとして信号の極性切換スイッチが共用できるため回路が比較的簡単な構成で実現できる利点を有する。

本発明はCMOSLSI回路に適用した場合に特に効果が大きい。本発明の原理<sup>は</sup>一般のスイッチドキャパシタ回路においても同様に効果を得るものである。

以下、図面を用いて本発明を詳細に説明する。

第1図は本発明の目的効果をより明確にするためにいわゆるスイッチドキャパシタ回路で構成した従来の増幅回路の構成を示す。同図において、入力アナログ信号源 $V_{in}$ は一定の周期で開閉するスイッチSWA、SWB、コンデンサ1からなるスイッチドキャパシタ回路の入力回路（点線で包む）を介して演算増幅器3の反転入力端子Aに結合され、演算増幅器の出力端子と上記反転入力端子間にはリセットスイッチSWCと漏電コンデン

サに交互に入力信号の極性を変えるスイッチを設け出力側で、同極性になるようにスイッチ回路を設け、すなわちチョップ増幅器とすれば良いが、そのみでは十分なオフセット対策とならないことが分つた。スイッチをCMOS技術で構成した場合等スイッチがオフとなつた場合微小電流が、スイッチがオフの状態でもコンデンサに漏れ込み、この漏れ込みによるオフセットを除くことができない。これは入力信号が微弱なとき信号の $S/N$ が極めて悪くなる。

本発明は、上記スイッチドキャパシタ回路からなる入力回路<sup>は</sup>チョップの機能を兼持させることによつて、上記問題を解決したもので、新たなスイッチ回路を設ける必要がないので回路構成も簡単になる。

入力回路ならび演算増幅器で発生するオフセット電圧を $V_{off}$ とすると、出力電圧 $V_{out}$ は

$$V_{out} = \frac{C_1}{C_2} \cdot (V_{in} + V_{off}) \quad \dots(2)$$

となる。

この入力換算オフセット電圧  $V_{off}$  を消去するため、コンデンサ1の充電を高速に反転してからスイッチSWBを介して増幅器3に結合し、出力端で極性を反転してないときの出力と極性反転したときの出力の差をとればよい。すなわち、反転しないとき

$$V_{out1} = \frac{C_1}{C_2} \cdot (V_{in} + V_{off}) \quad \dots(3)$$

反転したとき

$$V_{out2} = \frac{C_1}{C_2} \cdot (-V_{in} + V_{off}) \quad \dots(4)$$

となるから、

$$\begin{aligned} V_{off} &= V_{out1} - V_{out2} \\ &= 2 \cdot \frac{C_1}{C_2} \cdot V_{in} \quad \dots(5) \end{aligned}$$

となつて、入力回路及び帯通コンデンサ2を含めたオフセット電圧は消去される。

第2図は、本発明によるチョップ増幅回路の一実施例の回路図で同図において、1、2、4はスイッチドキャパシタで、SW1～SW13はスイ

され、同時に $\phi_{1s}$ によりスイッチSW7を閉じてコンデンサ2の電荷を放電し、また同時に $\phi_{1s}$ によりスイッチSW10及びSW13を閉じて、コンデンサ3の出力電圧  $V_{out}$  を出力する。期間  $T_1$  のとき、 $\phi_{2s}$  によりスイッチSW5及びSW6を閉じてコンデンサ1の電荷をコンデンサ2に移動させ、同時に $\phi_{1s}$ によりスイッチSW9及びSW11を閉じてコンデンサ3に、期間  $T_2$  のときとは極性が反転されて出力電圧を充電する。このときのB点の出力  $V_{out2}$  は、

$$V_{out2} = -\frac{C_1}{C_2} \cdot (-V_{in} - V_{off}) \quad \dots(7)$$

となる。このときに、スイッチSW10及びSW13を閉じてコンデンサ3に保持された電圧  $V_{out1}$  は、次の期間  $T_1$  に出力される。

以上の説明では、チョップ周期1周期分の動作を説明したが、例えば第4図(a)のような入力に加えられた場合には、チョップ増幅回路の各部の波形は第4図に示すようになる。B点の出力は期間  $T_1$  及び  $T_2$  のときのみ表われ、第4図(b)のよう

なつて、3は演算増幅器、 $V_{in}$  は入力電圧、 $V_{off}$  は入力換算オフセット電圧である。各スイッチは第3図に示す  $\phi_1 \sim \phi_4$ 、 $\phi_{1s}$ 、 $\phi_{2s}$  のパルスで開閉される。(高レベルでスイッチが閉じられ、低レベルでスイッチが開くものとする。)

期間  $T_1$  のとき、 $\phi_1$  によりスイッチSW1、及びSW4が閉じて入力電圧  $V_{in}$  がコンデンサ1に充電され、同時に $\phi_{1s}$ によりスイッチSW7を閉じてコンデンサ2の電荷を放電する。期間  $T_2$  のとき、入力信号側は切離され、SW7は開き $\phi_{2s}$ によりスイッチSW5及びスイッチSW6を閉じてコンデンサ1の電荷をコンデンサ2に移動させ、同時に $\phi_{1s}$ によりスイッチSW8及びSW12を閉じて、コンデンサに出力電圧を充電する。このときのB点の出力  $V_{out1}$  は、

$$V_{out1} = -\frac{C_1}{C_2} \cdot (V_{in} - V_{off}) \quad \dots(6)$$

となる。期間  $T_2$  のとき、 $\phi_2$  によりスイッチSW2及びSW3を閉じて、入力電圧  $V_{in}$  が期間  $T_1$  のときとは極性が反転されてコンデンサ2に充電

になる。また、 $V_{out}$  期間  $T_1$  及び  $T_2$  のときのみ表われ、第4図(c)のようになり、これは第4図(d)に示すように、信号成分とオフセット電圧がチョップ作用でチョップ周波数成分に変調された成分となる。

以上述べたように、オフセット電圧  $V_{off}$  はチョップ増幅回路で一定周期で反転され、チョップ周波数に等しい成分に変調されるので、これを低域通過フィルタで取り除けばオフセット電圧は消去され、出力にオフセット成分は表われない。

第5図は本発明によるチョップ増幅回路の他の実施例の回路図である。同図において入力信号源  $V_{in}$  から演算増幅器3までの構成は第2図の実施例と同じである。出力部が演算増幅器3の出力端とコンデンサ5、スイッチSW15と回路出力端  $V_{out}$  が直列に接続され、上記スイッチSW15の入出力端とアース間にそれぞれスイッチSW14及びコンデンサ6が並列に接続されている。スイッチ駆動のタイミング信号は第3図と同じである。

期間  $T_1$  のとき、 $\phi_1$  により、スイッチSW1

及びSW4が閉じて入力電圧 $V_{i1}$ がコンデンサ1に充電され、同時に $\phi_{11}$ によりスイッチSW7が閉じてコンデンサ2の電荷を放電する。期間 $T_1$ のとき、 $\phi_{11}$ により、スイッチSW5及びSW6が閉じてコンデンサ1の電荷をコンデンサ2に移動させ、同時に $\phi_{12}$ によりスイッチSW14が閉じてコンデンサ4に出力電圧を充電する。このときのC点の電圧 $V_{out1}$ は

$$V_{out1} = -\frac{C_1}{C_2} (V_{i1} - V_{out}) \quad \dots (10)$$

となり、またコンデンサ4にたまる電荷 $Q_1$ は、

$$Q_1 = C_4 V_{out1} \quad \dots (11)$$

となる。期間 $T_2$ のとき、 $\phi_{12}$ によりスイッチSW2及びSW3が閉じて入力電圧 $V_{i1}$ を期間 $T_1$ のときとは反転させてコンデンサ1に充電させ、同時に $\phi_{11}$ によりスイッチSW7が閉じてコンデンサ2の電荷を放電する。期間 $T_3$ のとき、 $\phi_{11}$ によりスイッチSW5及びSW6が閉じてコンデンサ1の電荷をコンデンサ2に移動させ、同時に $\phi_{12}$ によりスイッチSW15が閉じて、コンデン

サ4及び5に出力電圧を充電する。このときのC点の電圧 $V_{out2}$ は、

$$V_{out2} = -\frac{C_1}{C_2} (-V_{i1} - V_{out}) \quad \dots (12)$$

となり、またコンデンサ5にたまる電荷は、 $Q_1$ がコンデンサ4及び5とに分割される電荷 $Q'_1$ と、 $V_{out2}$ により5にたまる電荷 $Q_2$ の和であり、それぞれ

$$Q'_1 = \frac{-C_5}{C_4 + C_5} \cdot Q_1 \quad \dots (13)$$

$$Q_2 = \frac{C_4 \cdot C_5}{C_4 + C_5} V_{out2} \quad \dots (14)$$

となる。以上の(10)～(14)式より、出力電圧 $V_{out}$ は、

$$\begin{aligned} V_{out} &= \frac{Q'_1 + Q_2}{C_5} \\ &= \frac{C_1}{C_2} \cdot \frac{2C_4}{C_4 + C_5} \cdot V_{i1} \quad \dots (15) \end{aligned}$$

となる。

以上説明したように、増幅器3の入力端換算オ

フセット電圧 $V_{out}$ は、チョップ作用により消去される。実際には、出力回路のコンデンサ5( $C_5$ )及び6( $C_6$ )、スイッチSW14及びSW15でも、オフセットが発生するが、増幅回路の増幅度 $\frac{C_1}{C_2} \cdot \frac{2C_4}{C_4 + C_5}$ を大きくとれば、信号振幅に対して無視できる。また、出力回路のスイッチSW14及びSW15の開閉パルス $\phi_{14}$ 及び $\phi_{15}$ をそれぞれ逆に与えると、上述の説明から容易にわかるように、出力には入力と逆極性の電圧が得られる。また、本実施例では1チョップ周期において、期間 $T_2$ のときの出力と期間 $T_3$ のときの反転出力を加算して出力しているので、チョップ周波数に等しい周波数成分は出力に表われない。

本発明によるチョップ増幅回路のさらに他の実施例を第6図に示す。

同図では、出力回路のみを示し、第2図及び第5図に示した実施例の出力回路に替えて用いることができる。第6図において、SW16～SW20はスイッチで、7及び8はそれぞれ容量値( $C_7$ 、 $C_8$ )の等しいコンデンサである。各スイ

ッチを駆動するタイミングパルスも第3図と同じものを用いる。入力回路と増幅回路の動作も第2図及び第5図と同じである。出力回路の動作は、期間 $T_1$ のとき、パルス $\phi_{11}$ によりスイッチSW16及びSW19が閉じてコンデンサ7に増幅器の出力電圧を充電する。期間 $T_2$ のとき、パルス $\phi_{12}$ によりスイッチSW17が閉じてコンデンサ8にアンプの出力電圧を充電する。期間 $T_3$ 及び $T_4$ のとき、パルス $\phi_{13}$ によりスイッチSW18及びSW20が閉じて、コンデンサ7及び8に充電した出力電圧を逆極性に加算して出力端子に出力する。第6図の出力回路によると、上記説明により明らかなように出力電圧 $V_{out}$ は、(5)式と同様に、

$$V_{out} = 2 \frac{C_1}{C_2} V_{i1}$$

となる。この回路では増幅器3の出力電圧は分割されないため、最終出力ではアンプの出力の2倍の振幅が取出せるが、コンデンサ7と8の2個のコンデンサを必要とし、これらのコンデンサに容

量差があると、出力回路から発生するオフセットが大きくなる欠点があるが、LSI化するような場合には、コンデンサの相対精度は高いので、あまり問題にはならない。

本発明によるさらに他の実施例を第7図に示す。同図では、入力回路のみを示し、第2図及び第5図に示した実施例の入力回路に替えて用いることができる。本実施例は、入力信号が不平衡電圧のときに用いることができる。第7図において、スイッチSW21～SW25はスイッチで、9はコンデンサ(容量値C<sub>9</sub>)である。各スイッチを駆動するタイミングパルスも第3図と同じものを用いる。帰還回路と出力回路の動作も第2図及び第5図と同じである。入力回路の動作は、期間T<sub>1</sub>のとき、パルスφ<sub>1</sub>によりスイッチSW21及びSW25が閉じて入力電圧V<sub>i1</sub>がコンデンサ9に充電される。期間T<sub>2</sub>のとき、パルスφ<sub>2</sub>によりスイッチSW22及びSW23が閉じて、入力電圧V<sub>i1</sub>が期間T<sub>1</sub>のときとは反転されてコンデンサ9に充電される。期間T<sub>3</sub>及びT<sub>4</sub>のとき、パ

ルスφ<sub>3</sub>によりスイッチSW24及びSW25が閉じて、コンデンサ9の電荷が増幅器に入力される。本実施例では、第2図及び第5図の入力回路と比較してスイッチが1個省略できる利点を有する。

上述の如く本発明のチョップ増幅回路によれば、スイツドキャパシタ技術によりチョップ増幅回路を構成できるので、CMOSLSIプロセスで問題となるオフセット電圧や1/f雑音を著しく少なくすることができ、安定な直流増幅器、低周波フィルタ等が実現できる。また特殊な部品や高精度プロセスを必要としないので、経済的で、かつ現在のCMOSLSIプロセスにより実現可能である。

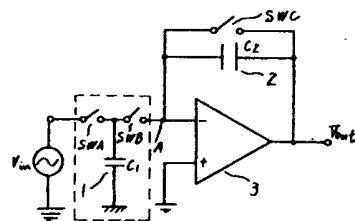
#### 図面の簡単な説明

第1図はオフセット説明のための演算増幅器回路図、第2図は本発明の実施例の回路図、第3図は上記第2図のスイッチのタイミングパルス図、第4図は第2図の回路における入出力波形図、第5図は本発明の他の実施例の回路図、第6図は本発

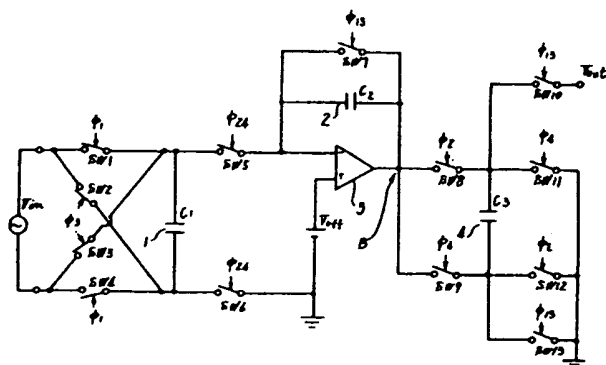
明の他の実施例の出力回路図、第7図は本発明の他の実施例の入力回路図である。

1, 2, 4～9…コンデンサ、3…演算増幅器、SW1～SW24…スイッチ、V<sub>i1</sub>…入力電圧、V<sub>off</sub>…入力換算オフセット電圧、V<sub>out</sub>…出力電圧、φ<sub>1</sub>～φ<sub>4</sub>, φ<sub>13</sub>, φ<sub>24</sub>…スイッチ駆動パルス。

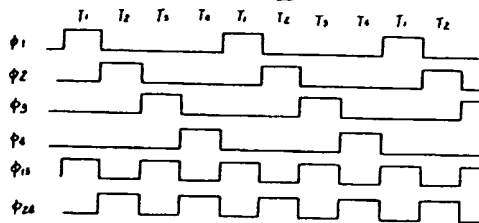
第 1 図



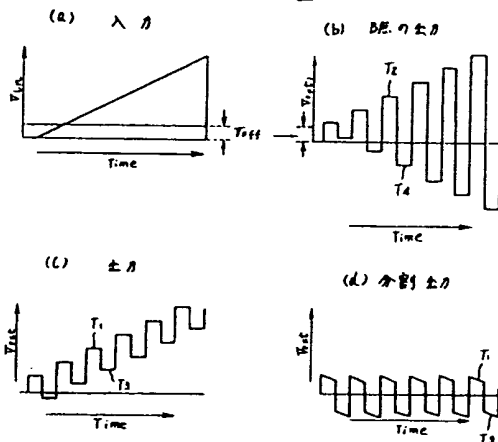
第 2 図



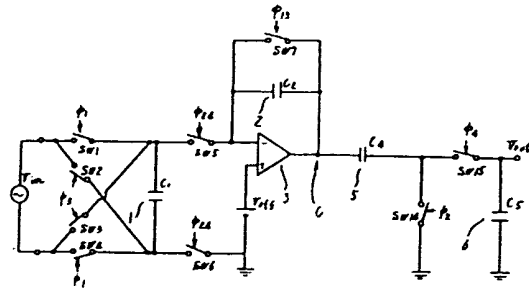
第 3 図



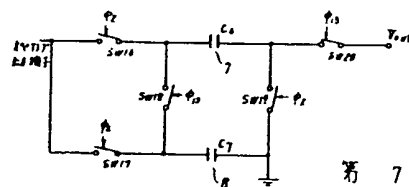
第 4 図



第 5 図



第 6 図



第 7 図

